

DERWENT-ACC-NO: 2004-199271

DERWENT-WEEK: 200419

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Distributed amplifier for optical
communication, has initial stage transistors which receive input
from positive input transmission line whose output
is given to later stage transistors

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 2002JP-0232097 (August 8, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 2004072638 A	March 4, 2004	N/A
019 H03F 003/45		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2004072638A	N/A	2002JP-0232097
August 8, 2002		

INT-CL (IPC): H03F003/45, H03F003/60

ABSTRACTED-PUB-NO: JP2004072638A

BASIC-ABSTRACT:

NOVELTY - An initial stage transistor (51) receives an input signal from positive input transmission line whose output is given to later stage transistor (52) which outputs amplification signal to positive output transmission line. The transistor (53) receives input signal from negative input transmission line whose output is given to transistor (54) which outputs an amplification signal to negative output transmission line.

USE - Distributed amplifier for base band amplifier in an optical communication system.

ADVANTAGE - High gain is obtained in a wide frequency band, thereby improving the gain of the whole distributed amplifier.

DESCRIPTION OF DRAWING(S) - The figure shows the differential amplifier.

first stage transistor 51,53

later stage transistor 52,54

load resistance 57,58

CHOSEN-DRAWING: Dwg.1/20

TITLE-TERMS: DISTRIBUTE AMPLIFY OPTICAL COMMUNICATE INITIAL STAGE
TRANSISTOR

RECEIVE INPUT POSITIVE INPUT TRANSMISSION LINE OUTPUT
LATE STAGE
TRANSISTOR

DERWENT-CLASS: U24

EPI-CODES: U24-G02A1; U24-G04M;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2004-158408

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-72638

(P2004-72638A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H03F 3/45	H03F 3/45	5J066
H03F 3/60	H03F 3/60	5J067
		5J500

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号 特願2002-232097 (P2002-232097)
 (22) 出願日 平成14年8月8日 (2002.8.8)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 佐藤 優
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 Fターム(参考) 5J066 AA04 AA12 AA35 CA35 CA62
 FA20 HA02 HA10 HA13 HA25
 HA29 HA33 KA02 KA05 MA04
 MA06 MA17 MA21 ND22 ND23
 SA13 TA01 TA03

最終頁に続く

(54) 【発明の名称】 分布増幅器

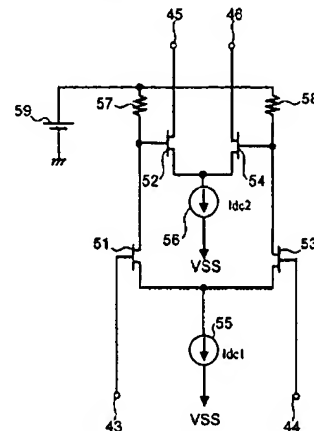
(57) 【要約】

【課題】 差動型の分布増幅器において、広い周波数帯域で高利得を得ること。

【解決手段】 第1の初段ソース接地MOSFET 51のゲート端子を入力側伝送線路1に接続し、ドレイン端子を第1の後段ソース接地MOSFET 52のゲート端子に接続し、第1の後段ソース接地MOSFET 52のドレイン端子を出力側伝送線路3に接続し、ダーリントン増幅器を構成する。第2の初段ソース接地MOSFET 53のゲート端子を入力側伝送線路2に接続し、ドレイン端子を第2の後段ソース接地MOSFET 54のゲート端子に接続し、第2の後段ソース接地MOSFET 54のドレイン端子を出力側伝送線路4に接続し、ダーリントン増幅器を構成する。このようなダーリントン増幅器を、差動型の分布増幅器の入力側伝送線路1, 2と出力側伝送線路3, 4との間に接続される各増幅器素子41, 42として用いる。

【選択図】 図1

本発明の実施の形態にかかる差動型分布増幅器に用いられる
 差動型増幅器素子の構成の第1の例を示す回路図



【特許請求の範囲】

【請求項 1】

第 1 の入力側伝送線路および第 2 の入力側伝送線路と、
第 1 の出力側伝送線路および第 2 の出力側伝送線路と、
前記第 1 の入力側伝送線路により伝送されてきた信号を入力とする第 1 の初段トランジスタと、
前記第 1 の初段トランジスタの出力信号を入力とし、前記第 1 の出力側伝送線路に増幅信号を出力する第 1 の後段トランジスタと、
前記第 2 の入力側伝送線路により伝送されてきた信号を入力とする第 2 の初段トランジスタと、
前記第 2 の初段トランジスタの出力信号を入力とし、前記第 2 の出力側伝送線路に増幅信号を出力する第 2 の後段トランジスタと、
を具備することを特徴とする分布増幅器。

10

【請求項 2】

前記第 1 の初段トランジスタの負荷抵抗に直列に接続された第 1 のインダクタと、
前記第 2 の初段トランジスタの負荷抵抗に直列に接続された第 2 のインダクタと、
をさらに具備することを特徴とする請求項 1 に記載の分布増幅器。

【請求項 3】

前記第 1 の初段トランジスタの出力端子と、前記第 1 の後段トランジスタの入力端子との間に接続された第 3 のインダクタと、
前記第 2 の初段トランジスタの出力端子と、前記第 2 の後段トランジスタの入力端子との間に接続された第 4 のインダクタと、
をさらに具備することを特徴とする請求項 1 または 2 に記載の分布増幅器。

20

【請求項 4】

前記第 1 の後段トランジスタにカスコード接続された第 5 のトランジスタと、
前記第 2 の後段トランジスタにカスコード接続された第 6 のトランジスタと、をさらに具備することを特徴とする請求項 1 ～ 3 のいずれか一つに記載の分布増幅器。

【請求項 5】

前記第 1 の後段トランジスタおよび前記第 2 の後段トランジスタは、デュアルゲートトランジスタであることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の分布増幅器。

30

【請求項 6】

前記第 1 の初段トランジスタの入力端子と、前記第 1 の入力側伝送線路との間、および前記第 2 の初段トランジスタの入力端子と、前記第 2 の入力側伝送線路との間に、それぞれコンデンサが接続されていることを特徴とする請求項 1 ～ 5 のいずれか一つに記載の分布増幅器。

【請求項 7】

前記第 1 の初段トランジスタの入力端子と、前記第 1 の入力側伝送線路との間に、前記第 1 の入力側伝送線路により伝送されてきた信号がゲート端子に入力され、かつソース端子から出力される信号を前記第 1 の初段トランジスタの入力端子に供給するドレイン接地の第 7 のトランジスタと、
前記第 2 の初段トランジスタの入力端子と、前記第 2 の入力側伝送線路との間に、前記第 2 の入力側伝送線路により伝送されてきた信号がゲート端子に入力され、かつソース端子から出力される信号を前記第 2 の初段トランジスタの入力端子に供給するドレイン接地の第 8 のトランジスタと、
をさらに具備し、

40

前記第 7 のトランジスタおよび前記第 8 のトランジスタの各ゲート幅は、前記第 1 の初段トランジスタ、前記第 1 の後段トランジスタ、前記第 2 の初段トランジスタおよび前記第 2 の後段トランジスタの各ゲート幅よりも小さいことを特徴とする請求項 1 ～ 6 のいずれか一つに記載の分布増幅器。

【請求項 8】

50

前記第 1 の初段トランジスタの入力端子と、前記第 1 の入力側伝送線路との間に、前記第 1 の入力側伝送線路により伝送されてきた信号がソース端子に入力され、かつドレイン端子から出力される信号を前記第 1 の初段トランジスタの入力端子に供給するゲート接地の第 9 のトランジスタと、

前記第 2 の初段トランジスタの入力端子と、前記第 2 の入力側伝送線路との間に、前記第 2 の入力側伝送線路により伝送されてきた信号がソース端子に入力され、かつドレイン端子から出力される信号を前記第 2 の初段トランジスタの入力端子に供給するゲート接地の第 10 のトランジスタと、

をさらに具備することを特徴とする請求項 1 ～ 6 のいずれか一つに記載の分布増幅器。

【請求項 9】

10

前記第 1 の初段トランジスタ、前記第 1 の後段トランジスタ、前記第 2 の初段トランジスタおよび前記第 2 の後段トランジスタは、バイポーラトランジスタであることを特徴とする請求項 1 に記載の分布増幅器。

【請求項 10】

入力側伝送線路と、

出力側伝送線路と、

前記入力側伝送線路により伝送されてきた信号を入力とする初段トランジスタと、

前記初段トランジスタの出力信号を入力とし、前記出力側伝送線路に増幅信号を出力する後段トランジスタと、

を具備することを特徴とする分布増幅器。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、分布増幅器に関し、特に光通信システムにおけるベースバンド増幅器などに使用される差動型の分布増幅器に関する。

【0002】

光通信システムを構成するデジタル回路の中には、差動信号を扱う回路がある。このようなデジタル回路への入力信号のレベルを一定以上にするため、デジタル回路の前段に増幅器が配置されることがある。ところで、光通信システムにおいて用いられるベースバンド増幅器には、数十 kHz ～ 数十 GHz と非常に広い周波数帯域において一定の利得を保つという性能が求められる。このため、ベースバンド増幅器は、集中定数型の増幅器ではなく、分布増幅器により構成される。

30

【0003】

【従来の技術】

図 19 は、従来の差動型分布増幅器の構成を示す回路図である。図 19 に示すように、差動信号が入力される一対の入力側伝送線路 1, 2、一対の出力側伝送線路 3, 4、および増幅器素子として差動対をなす複数対のソース接地トランジスタ 21, 22, 23, 24 が設けられている（図 19 には、2 対のみ示されている）。

【0004】

ソース接地トランジスタ 21, 22, 23, 24 の各対において、一方のトランジスタ 21, 23 のゲート端子およびドレイン端子は、それぞれ一方の入力側伝送線路（以下、入力側（+）伝送線路とする）1 および一方の出力側伝送線路（以下、出力側（+）伝送線路とする）3 に接続されている。また、他方のトランジスタ 22, 24 のゲート端子およびドレイン端子は、それぞれ他方の入力側伝送線路（以下、入力側（-）伝送線路とする）2 および他方の出力側伝送線路（以下、出力側（-）伝送線路とする）4 に接続されている。

40

【0005】

図 19 において、L11 は、入力側（+）伝送線路 1 の、その入力端子 11 と、これに最も近い一段目のソース接地トランジスタ 21 との間のインダクタ成分である。L12 および L13 は、入力側（+）伝送線路 1 の、2 段目以降の隣り合うソース接地トランジスタ

50

間のインダクタ成分である。L 1 4 は、入力側（＋）伝送線路 1 の、それに接続された終端抵抗 1 2 と、これに最も近い最終段のソース接地トランジスタ 2 3 との間のインダクタ成分である。

【0 0 0 6】

同様に、L 2 1、L 2 2、L 2 3 および L 2 4 は、入力側（－）伝送線路 2 の、入力端子 1 3 と終端抵抗 1 4 との間のインダクタ成分である。また、L 3 1、L 3 2、L 3 3 および L 3 4 は、出力側（＋）伝送線路 3 の、終端抵抗 1 5 と出力端子 1 6 との間のインダクタ成分である。L 4 1、L 4 2、L 4 3 および L 4 4 は、出力側（－）伝送線路 4 の、終端抵抗 1 7 と出力端子 1 8 との間のインダクタ成分である。

【0 0 0 7】

一般に、分布増幅器は、集中定数型の増幅器に比べて利得が小さいので、十分な利得を得るためには、増幅器素子であるトランジスタの段数を増やす必要がある。あるいは、図 2 0 に示すように、分布型増幅器 3 1 の前段や後段に集中定数型増幅器 3 2、3 3 を設ける必要がある（たとえば特願平 9－5 0 3 4 8 5 号など）。

【0 0 0 8】

【発明が解決しようとする課題】

しかしながら、従来の分布増幅器において、増幅器素子の段数を増やしても、いずれ利得が飽和してしまうため、十分な利得が得られないという問題点がある。また、集中定数型増幅器と組み合わせた場合には、集中定数型増幅器の高周波領域における周波数帯域が分布増幅器よりも狭いため、増幅器全体の帯域が制限されてしまうという問題点がある。

【0 0 0 9】

本発明は、上記問題点に鑑みてなされたものであって、広い周波数帯域において高利得が得られる差動型の分布増幅器を提供することを目的とする。

【0 0 1 0】

【課題を解決するための手段】

上記目的を達成するため、本発明は、差動型の分布増幅器の各増幅器素子として、トランジスタをダーリントン接続した構成のダーリントン増幅器を用いることを特徴とする。この発明によれば、各増幅器素子をダーリントン増幅器で構成したため、単純なソース接地トランジスタや、トランジスタをカスコード接続したものを増幅器素子に用いたものに比べて、増幅器素子一段当たりの利得が増加するので、M A G (M a x i m u m A v a i l a b l e G a i n) の値が大きくなり、大きな利得を引き出すことが可能となる。ここで、M A G とは、「入出力ともインピーダンス整合を取った場合に F E T に入力する電力に対する負荷インピーダンスに出力する電力の比」（「新ミリ波技術」、オーム社、P 1 7 2 より）で定義される。

【0 0 1 1】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図 1 6 は、本発明の実施の形態にかかる差動型分布増幅器の構成を示す回路図である。図 1 6 に示すように、一対の入力側伝送線路 1、2 と一対の出力側伝送線路 3、4 との間に並列に接続される複数（図 1 6 には、2 個のみ示されている）の差動型増幅器素子 4 1、4 2 として、ダーリントン増幅器が用いられている。

【0 0 1 2】

図 1 6 では、入力側（＋）伝送線路 1、入力側（－）伝送線路 2、出力側（＋）伝送線路 3 および出力側（－）伝送線路 4 は、それぞれ L 1 1～L 1 4、L 2 1～L 2 4、L 3 1～L 3 4 および L 4 1～L 4 4 のインダクタによって表されているが、それぞれ物理的な線路によって構成されていてもよい。伝送線路の長さもしくは特性インピーダンスを適切に選択することによって、任意のインダクタを得ることができる。また、出力側（＋）伝送線路 3 および出力側（－）伝送線路 4 には、それぞれ D C カット用のコンデンサ 1 9、2 0 が接続されているが、これらのコンデンサ 1 9、2 0 は必須ではない。その他の構成は、図 1 9 に示す従来構成と同様であるため、図 1 9 と同一の符号を付して説明を省略す

る。

【0013】

(差動型増幅器素子41, 42の第1の構成例)

図1は、差動型増幅器素子41, 42の構成の第1の例を示す回路図である。この第1の構成は、入力側(+)伝送線路1に接続される入力端子43にゲート端子が接続された第1の初段ソース接地MOSFET(絶縁ゲート型電界効果トランジスタ)51と、第1の初段ソース接地MOSFET51のドレイン端子にゲート端子が接続された(すなわち、ダーリントン接続された)第1の後段ソース接地MOSFET52とからなるダーリントン増幅器を有する。第1の後段ソース接地MOSFET52のドレイン端子は、出力側(+)伝送線路3に接続される出力端子45に接続されている。

10

【0014】

また、入力側(-)伝送線路2に接続される入力端子44にゲート端子が接続された第2の初段ソース接地MOSFET53と、第2の初段ソース接地MOSFET53のドレイン端子にゲート端子が接続(ダーリントン接続)された第2の後段ソース接地MOSFET54とからなるダーリントン増幅器を有する。第2の後段ソース接地MOSFET54のドレイン端子は、出力側(-)伝送線路4に接続される出力端子46に接続されている。

【0015】

第1の初段ソース接地MOSFET51のソース端子および第2の初段ソース接地MOSFET53のソース端子は、第1の定電流源55のプラス側端子に接続されている。第1の定電流源55のマイナス側端子は、負の電源電位VSSの印加点に接続されている。第1の初段ソース接地MOSFET51のドレイン端子および第2の初段ソース接地MOSFET53のドレイン端子には、それぞれ第1の負荷抵抗57および第2の負荷抵抗58を介してバイアス電源59が接続されており、それぞれドレインバイアスが印加される。

20

【0016】

第1の後段ソース接地MOSFET52のソース端子および第2の後段ソース接地MOSFET54のソース端子は、第2の定電流源56のプラス側端子に接続されている。第2の定電流源56のマイナス側端子は、負の電源電位VSSの印加点に接続されている。

【0017】

図2に、上述した第1の構成のダーリントン増幅器と、従来の単純なソース接地FETよりなる増幅器とについて、それぞれ単相の場合のMAGを比較した特性図の一例を示す。図2より明らかなように、ダーリントン増幅器のほうが、広い周波数範囲にわたってMAGの値が大きくなっている。これは、単相の場合に限らず、差動型の場合でも同様である。したがって、差動型増幅器素子41, 42としてダーリントン増幅器を用いて分布増幅器を構成したほうが、広い帯域を保ったまま大きな利得を得ることができる。

30

【0018】

(差動型増幅器素子41, 42の第2の構成例)

図3は、差動型増幅器素子41, 42の構成の第2の例を示す回路図である。この第2の構成は、図1に示す第1の構成において、第1の負荷抵抗57および第2の負荷抵抗58に、それぞれ第1のインダクタ60および第2のインダクタ61を直列に接続した構成となっている。その他の構成は図1に示す第1の構成と同じであるので、同一の符号を付して説明を省略する。

40

【0019】

図1に示す第1の構成では、第1の後段ソース接地MOSFET52および第2の後段ソース接地MOSFET54の各ゲート端子における入力容量の影響によって、高周波領域においてインピーダンスが小さくなり、増幅度が低下してしまう。それに対して、図3に示す第2の構成では、第1および第2のインダクタ60, 61を追加したことにより、高周波領域における増幅度の低下が抑制されている。

【0020】

図4に、上述した第2の構成のダーリントン増幅器の単相の構成についてMAGの特性図

50

の一例を示す。比較のため、従来の単純なソース接地 FET よりなる単相の増幅器の MAG のグラフも示す。図 2 と比べて、図 4 のほうが、高周波領域において初段ソース接地 MOSFET の利得が大きくなっている。差動型の場合でも同様である。したがって、差動型増幅器素子 41, 42 として第 2 の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、高周波領域の利得がより大きくなるので、帯域をより広げることができる。なお、追加した第 1 および第 2 のインダクタ 60, 61 を、伝送線路を長く引き伸ばすことによって構成することもできる。

【0021】

(差動型増幅器素子 41, 42 の第 3 の構成例)

図 5 は、差動型増幅器素子 41, 42 の構成の第 3 の例を示す回路図である。この第 3 の構成は、図 1 に示す第 1 の構成において、第 1 の初段ソース接地 MOSFET 51 のドレイン端子と第 1 の後段ソース接地 MOSFET 52 のゲート端子との間、および第 2 の初段ソース接地 MOSFET 53 のドレイン端子と第 2 の後段ソース接地 MOSFET 54 のゲート端子との間に、それぞれ第 3 のインダクタ 62 および第 4 のインダクタ 63 を接続した構成となっている。その他の構成は図 1 に示す第 1 の構成と同じであるので、同一の符号を付して説明を省略する。 10

【0022】

第 3 のインダクタ 62 および第 4 のインダクタ 63 は、高周波領域において、第 1 の後段ソース接地 MOSFET 52 および第 2 の後段ソース接地 MOSFET 54 の各ゲート端子における入力容量の影響を低減するように働く。したがって、高周波領域において、第 1 の初段ソース接地 MOSFET 51 のドレイン端子から見た第 1 の後段ソース接地 MOSFET 52 のゲート端子のインピーダンス、および第 2 の初段ソース接地 MOSFET 53 のドレイン端子から見た第 2 の後段ソース接地 MOSFET 54 のゲート端子のインピーダンスが、大きく見えることになり、高周波における利得低下が抑制される。 20

【0023】

図 6 に、上述した第 3 の構成のダーリントン増幅器の単相の構成について MAG の特性図を示す。比較のため、従来の単純なソース接地 FET よりなる単相の増幅器の MAG のグラフも示す。図 2 と比べて、図 6 では、40 GHz 付近まで利得が大きくなっている。差動型の場合でも同様である。したがって、差動型増幅器素子 41, 42 として第 3 の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、高周波領域の利得がより大きくなる。なお、追加した第 3 および第 4 のインダクタ 62, 63 を、伝送線路を長く引き伸ばすことによって構成することもできる。 30

【0024】

(差動型増幅器素子 41, 42 の第 4 の構成例)

図 7 は、差動型増幅器素子 41, 42 の構成の第 4 の例を示す回路図である。この第 4 の構成は、図 1 に示す第 1 の構成において、第 1 の後段ソース接地 MOSFET 52 のドレイン端子と出力端子 45 との間に、第 1 の後段ソース接地 MOSFET 52 に対してカスコード接続した第 1 のゲート接地 MOSFET 64 を設け、また、第 2 の後段ソース接地 MOSFET 54 のドレイン端子と出力端子 46 との間に、第 2 の後段ソース接地 MOSFET 54 に対してカスコード接続した第 2 のゲート接地 MOSFET 65 を設けた構成となっている。その他の構成は図 1 に示す第 1 の構成と同じであるので、同一の符号を付して説明を省略する。 40

【0025】

第 1 のゲート接地 MOSFET 64 のゲート端子は、接地コンデンサ 66 を介して接地されている。また、第 1 のゲート接地 MOSFET 64 のゲート端子には、ゲートバイアスが印加されている。同様に、第 2 のゲート接地 MOSFET 65 のゲート端子は、接地コンデンサ 67 を介して接地されている。また、第 2 のゲート接地 MOSFET 65 のゲート端子には、ゲートバイアスが印加されている。

【0026】

図 8 に、上述した第 4 の構成のダーリントン増幅器の単相の構成について MAG の特性図 50

を示す。比較のため、従来の単純なソース接地 F E T よりなる単相の増幅器の M A G のグラフも示す。図 2 と比べて、図 8 では、十分に大きな利得が得られている。これは、カスコード増幅器が、トランジスタのミラー容量を減らすことができるからである。差動型の場合でも同様である。したがって、差動型増幅器素子 4 1, 4 2 として第 4 の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、高周波領域の利得がより大きくなる。

【0027】

(差動型増幅器素子 4 1, 4 2 の第 5 の構成例)

図 9 は、差動型増幅器素子 4 1, 4 2 の構成の第 5 の例を示す回路図である。この第 5 の構成は、図 7 に示す第 4 の構成において、上述した第 2 の構成 (図 3 参照) と同様に、第 1 の負荷抵抗 5 7 および第 2 の負荷抵抗 5 8 に、それぞれ第 1 のインダクタ 6 0 および第 2 のインダクタ 6 1 を直列に接続した構成となっている。その他の構成は図 7 に示す第 4 の構成と同じであるので、同一の符号を付して説明を省略する。この第 5 の構成でも、カスコード増幅器によりトランジスタのミラー容量が減るので、差動型増幅器素子 4 1, 4 2 として第 5 の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、高周波領域の利得がより大きくなる。

【0028】

(差動型増幅器素子 4 1, 4 2 の第 6 の構成例)

図 10 は、差動型増幅器素子 4 1, 4 2 の構成の第 6 の例を示す回路図である。この第 6 の構成は、図 7 に示す第 4 の構成において、カスコード接続された第 1 の後段ソース接地 M O S F E T 5 2 および第 1 のゲート接地 M O S F E T 6 4 の代わりに、第 1 のデュアルゲートトランジスタ 6 8 を用い、また、カスコード接続された第 2 の後段ソース接地 M O S F E T 5 4 および第 2 のゲート接地 M O S F E T 6 5 の代わりに、第 2 のデュアルゲートトランジスタ 6 9 を用いた構成となっている。その他の構成は図 7 に示す第 4 の構成と同じであるので、同一の符号を付して説明を省略する。この第 6 の構成でも、デュアルゲートトランジスタ 6 8, 6 9 によりミラー容量が小さくなるので、差動型増幅器素子 4 1, 4 2 として第 6 の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、高周波領域の利得がより大きくなる。

【0029】

(差動型増幅器素子 4 1, 4 2 の第 7 の構成例)

図 11 は、差動型増幅器素子 4 1, 4 2 の構成の第 7 の例を示す回路図である。この第 7 の構成は、図 1 に示す第 1 の構成において、帯域を広げるために、第 1 の初段ソース接地 M O S F E T 5 1 のゲート端子と入力端子 4 3 との間、および第 2 の初段ソース接地 M O S F E T 5 3 のゲート端子と入力端子 4 4 との間に、それぞれコンデンサ 7 0 およびコンデンサ 7 1 を接続した構成となっている。その他の構成は図 1 に示す第 1 の構成と同じであるので、同一の符号を付して説明を省略する。

【0030】

図 12 に、上述した第 7 の構成のダーリントン増幅器の単相の構成について M A G の特性図を示す。比較のため、従来の単純なソース接地 F E T よりなる単相の増幅器の M A G のグラフも示す。コンデンサ 7 0, 7 1 が接続されていることによって、入力側伝送線路 1, 2 から見た第 1 の初段ソース接地 M O S F E T 5 1 および第 2 の初段ソース接地 M O S F E T 5 3 の入力容量が小さくなり、広帯域化が可能となる。差動型の場合でも同様である。したがって、差動型増幅器素子 4 1, 4 2 として第 7 の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、利得および帯域を向上させることができる。

【0031】

(差動型増幅器素子 4 1, 4 2 の第 8 の構成例)

図 13 は、差動型増幅器素子 4 1, 4 2 の構成の第 8 の例を示す回路図である。この第 8 の構成は、図 1 に示す第 1 の構成において、入力端子 4 3 と第 1 の初段ソース接地 M O S F E T 5 1 のゲート端子との間、および入力端子 4 4 と第 2 の初段ソース接地 M O S F E T 5 3 のゲート端子との間に、それぞれソースフォロアとなる第 1 のドレイン接地 M O S F E T 7 2 および第 2 のドレイン接地 M O S F E T 7 3 が設けられた構成となっている。

【0032】

第1のドレイン接地MOSFET72のゲート端子、ドレイン端子およびソース端子は、それぞれ入力端子43、正電源74および第3の定電流源75のプラス側端子に接続されている。第3の定電流源75のマイナス側端子は、負の電源電位VSSの印加点に接続されている。同様に、第2のドレイン接地MOSFET73のゲート端子、ドレイン端子およびソース端子は、それぞれ入力端子44、正電源76および第4の定電流源77のプラス側端子に接続されている。第4の定電流源77のマイナス側端子は、負の電源電位VSSの印加点に接続されている。その他の構成は図1に示す第1の構成と同じであるので、同一の符号を付して説明を省略する。

【0033】

第1のドレイン接地MOSFET72および第2のドレイン接地MOSFET73の各ゲート幅は、第1の初段ソース接地MOSFET51および第1の後段ソース接地MOSFET52の各ゲート幅、並びに第2の初段ソース接地MOSFET53および第2の後段ソース接地MOSFET54の各ゲート幅よりも小さくなっている。これによって、入力側伝送線路1, 2から見た第1の初段ソース接地MOSFET51および第2の初段ソース接地MOSFET53の入力容量が小さくなり、広帯域化が可能となる。したがって、差動型増幅器素子41, 42として第8の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、利得および帯域を向上させることができる。

【0034】

(差動型増幅器素子41, 42の第9の構成例)

図14は、差動型増幅器素子41, 42の構成の第9の例を示す回路図である。この第9の構成は、図1に示す第1の構成において、入力端子43と第1の初段ソース接地MOSFET51のゲート端子との間、および入力端子44と第2の初段ソース接地MOSFET53のゲート端子との間に、第3のゲート接地MOSFET78および第4のゲート接地MOSFET79が設けられた構成となっている。

【0035】

第3のゲート接地MOSFET78のゲート端子は、接地コンデンサ80を介して接地されている。また、第3のゲート接地MOSFET78のゲート端子には、ゲートバイアスが印加されている。第3のゲート接地MOSFET78のソース端子は入力端子43に接続されており、ドレイン端子は第1の初段ソース接地MOSFET51のゲート端子と第5の定電流源81に接続されている。同様に、第4のゲート接地MOSFET79のゲート端子は、接地コンデンサ82を介して接地されている。また、第4のゲート接地MOSFET79のゲート端子には、ゲートバイアスが印加されている。第4のゲート接地MOSFET79のソース端子は入力端子44に接続されており、ドレイン端子は第2の初段ソース接地MOSFET53のゲート端子と第6の定電流源83に接続されている。その他の構成は図1に示す第1の構成と同じであるので、同一の符号を付して説明を省略する。

【0036】

ゲート接地MOSFET78, 79の動作抵抗は、高周波領域では負性抵抗となるため、高周波での利得が増加する。したがって、差動型増幅器素子41, 42として第9の構成のダーリントン増幅器を用いて分布増幅器を構成すれば、利得および帯域を向上させることができる。

【0037】

(差動型増幅器素子41, 42の第10の構成例)

上述した第1～第9の構成では、差動型増幅器素子41, 42をFETで構成したが、たとえばバイポーラトランジスタを用いて構成してもよい。バイポーラトランジスタを用いた構成とする場合には、FETのドレイン端子、ゲート端子およびソース端子は、それぞれバイポーラトランジスタのコレクタ端子、ベース端子およびエミッタ端子に相当する。図15に、差動型増幅器素子41, 42の第10の構成例として、バイポーラトランジスタを用いた例を示す。

【0038】

第1の初段バイポーラトランジスタ91のベース端子、エミッタ端子およびコレクタ端子は、それぞれ入力端子43、第1の後段バイポーラトランジスタ92のベース端子および出力端子45に接続されている。第1の後段バイポーラトランジスタ92のエミッタ端子およびコレクタ端子は、それぞれ定電流源55のプラス側端子および出力端子45に接続されている。定電流源55のマイナス側端子は、負の電源電位VSSの印加点に接続されている。

【0039】

同様に、第2の初段バイポーラトランジスタ93のベース端子、エミッタ端子およびコレクタ端子は、それぞれ入力端子44、第2の後段バイポーラトランジスタ94のベース端子および出力端子46に接続されている。第2の後段バイポーラトランジスタ94のエミッタ端子およびコレクタ端子は、それぞれ定電流源55のプラス側端子および出力端子46に接続されている。このようなバイポーラトランジスタで構成された差動型増幅器素子41、42を用いて分布増幅器を構成した場合にも、広帯域化が可能である。

【0040】

なお、FETやバイポーラトランジスタに限らず、HEMT(High Electron Mobility Transistor)やHBT(Heterojunction Bipolar Transistor)などを用いて差動型増幅器素子41、42を構成しても同様の効果が得られる。

【0041】

上述した実施の形態によれば、差動型分布増幅器の差動型増幅器素子41、42をダーリントン増幅器で構成したため、単純なソース接地トランジスタや、トランジスタをカスコード接続したものを増幅器素子に用いたものに比べて、増幅器素子一段当たりの利得が増加し、分布増幅器全体の利得が上昇する。したがって、広い周波数帯域において高利得が得られる差動型の分布増幅器が得られる。

【0042】

また、単相型の分布増幅器においても、増幅器素子として上述した各構成のダーリントン増幅器の単相分を用いることにより、広い周波数帯域において高利得が得られるという効果が得られる。一例として、図7に示す構成のダーリントン増幅器の単相分を増幅器素子として用いた分布増幅器(実施例)と、カスコード増幅器を増幅器素子として用いた分布増幅器(従来例)とで、利得や帯域を比較したシミュレーション結果を図17および図18に示す。図17は、利得を同じにして帯域を比較したものであり、同図より、実施例のほうが従来例よりも帯域が広がっていることがわかる。また、図18は、帯域を同じにして利得を比較したものであり、同図より、実施例のほうが従来例よりも利得が高いことがわかる。

【0043】

以上において本発明は、上述した実施の形態に限らず、種々変更可能であり、入力側伝送線路と出力側伝送線路との間に並列に接続された複数の増幅器素子がダーリントン増幅器で構成されていけばよい。

【0044】

(付記1) 第1の入力側伝送線路および第2の入力側伝送線路と、
第1の出力側伝送線路および第2の出力側伝送線路と、
前記第1の入力側伝送線路により伝送されてきた信号を入力とする第1の初段トランジスタと、
前記第1の初段トランジスタの出力信号を入力とし、前記第1の出力側伝送線路に増幅信号を出力する第1の後段トランジスタと、
前記第2の入力側伝送線路により伝送されてきた信号を入力とする第2の初段トランジスタと、
前記第2の初段トランジスタの出力信号を入力とし、前記第2の出力側伝送線路に増幅信号を出力する第2の後段トランジスタと、

を具備することを特徴とする分布増幅器。

【0045】

(付記2) 前記第1の初段トランジスタの負荷抵抗に直列に接続された第1のインダクタと、

前記第2の初段トランジスタの負荷抵抗に直列に接続された第2のインダクタと、

をさらに具備することを特徴とする付記1に記載の分布増幅器。

【0046】

(付記3) 前記第1の初段トランジスタの出力端子と、前記第1の後段トランジスタの入力端子との間に接続された第3のインダクタと、

前記第2の初段トランジスタの出力端子と、前記第2の後段トランジスタの入力端子との間に接続された第4のインダクタと、

をさらに具備することを特徴とする付記1または2に記載の分布増幅器。

【0047】

(付記4) 前記第1の後段トランジスタにカスコード接続された第5のトランジスタと、前記第2の後段トランジスタにカスコード接続された第6のトランジスタと、をさらに具備

することを特徴とする付記1～3のいずれか一つに記載の分布増幅器。

【0048】

(付記5) 前記第1の後段トランジスタおよび前記第2の後段トランジスタは、デュアルゲートトランジスタであることを特徴とする付記1～3のいずれか一つに記載の分布増幅器。

【0049】

(付記6) 前記第1の初段トランジスタの入力端子と、前記第1の入力側伝送線路との間、および前記第2の初段トランジスタの入力端子と、前記第2の入力側伝送線路との間に、それぞれコンデンサが接続されていることを特徴とする付記1～5のいずれか一つに記載の分布増幅器。

【0050】

(付記7) 前記第1の初段トランジスタの入力端子と、前記第1の入力側伝送線路との間に、前記第1の入力側伝送線路により伝送されてきた信号がゲート端子に入力され、かつソース端子から出力される信号を前記第1の初段トランジスタの入力端子に供給するドレイン接地の第7のトランジスタと、

前記第2の初段トランジスタの入力端子と、前記第2の入力側伝送線路との間に、前記第2の入力側伝送線路により伝送されてきた信号がゲート端子に入力され、かつソース端子から出力される信号を前記第2の初段トランジスタの入力端子に供給するドレイン接地の第8のトランジスタと、

をさらに具備し、

前記第7のトランジスタおよび前記第8のトランジスタの各ゲート幅は、前記第1の初段トランジスタ、前記第1の後段トランジスタ、前記第2の初段トランジスタおよび前記第2の後段トランジスタの各ゲート幅よりも小さいことを特徴とする付記1～6のいずれか一つに記載の分布増幅器。

【0051】

(付記8) 前記第1の初段トランジスタの入力端子と、前記第1の入力側伝送線路との間に、前記第1の入力側伝送線路により伝送されてきた信号がソース端子に入力され、かつドレイン端子から出力される信号を前記第1の初段トランジスタの入力端子に供給するゲート接地の第9のトランジスタと、

前記第2の初段トランジスタの入力端子と、前記第2の入力側伝送線路との間に、前記第2の入力側伝送線路により伝送されてきた信号がソース端子に入力され、かつドレイン端子から出力される信号を前記第2の初段トランジスタの入力端子に供給するゲート接地の第10のトランジスタと、

をさらに具備することを特徴とする付記1～6のいずれか一つに記載の分布増幅器。

【0052】

(付記 9) 前記第 1 の初段トランジスタ、前記第 1 の後段トランジスタ、前記第 2 の初段トランジスタおよび前記第 2 の後段トランジスタは、バイポーラトランジスタであることを特徴とする付記 1 に記載の分布増幅器。

【0053】

(付記 10) 入力側伝送線路と、
出力側伝送線路と、

前記入力側伝送線路により伝送されてきた信号を入力とする初段トランジスタと、
前記初段トランジスタの出力信号を入力とし、前記出力側伝送線路に増幅信号を出力する後段トランジスタと、
を具備することを特徴とする分布増幅器。

10

【0054】

(付記 11) 前記初段トランジスタの負荷抵抗にインダクタが直列に接続されていることを特徴とする付記 10 に記載の分布増幅器。

【0055】

(付記 12) 前記初段トランジスタの出力端子と前記後段トランジスタの入力端子との間にインダクタが接続されていることを特徴とする付記 10 または 11 に記載の分布増幅器。

【0056】

(付記 13) 前記後段トランジスタにトランジスタがカスコード接続されていることを特徴とする付記 10 ～ 12 のいずれか一つに記載の分布増幅器。

20

【0057】

(付記 14) 前記後段トランジスタはデュアルゲートトランジスタであることを特徴とする付記 10 ～ 12 のいずれか一つに記載の分布増幅器。

【0058】

(付記 15) 前記初段トランジスタの入力端子と前記入力側伝送線路との間にコンデンサが接続されていることを特徴とする付記 10 ～ 14 のいずれか一つに記載の分布増幅器。

【0059】

(付記 16) 前記初段トランジスタの入力端子と前記入力側伝送線路との間に、前記入力側伝送線路により伝送されてきた信号がゲート端子に入力され、かつソース端子から出力される信号を前記初段トランジスタの入力端子に供給するドレイン接地トランジスタが接続されており、該ドレイン接地トランジスタの各ゲート幅は、前記初段トランジスタおよび前記後段トランジスタの各ゲート幅よりも小さいことを特徴とする付記 10 ～ 15 のいずれか一つに記載の分布増幅器。

30

【0060】

(付記 17) 前記初段トランジスタの入力端子と前記入力側伝送線路との間に、前記入力側伝送線路により伝送されてきた信号がソース端子に入力され、かつドレイン端子から出力される信号を前記初段トランジスタの入力端子に供給するゲート接地トランジスタが接続されていることを特徴とする付記 10 ～ 15 のいずれか一つに記載の分布増幅器。

【0061】

(付記 18) 前記初段トランジスタおよび前記後段トランジスタはバイポーラトランジスタであることを特徴とする付記 10 に記載の分布増幅器。

40

【0062】

【発明の効果】

本発明によれば、差動型分布増幅器の各増幅器素子をダーリントン増幅器で構成したため、単純なソース接地トランジスタや、トランジスタをカスコード接続したものを増幅器素子に用いたものに比べて、増幅器素子一段当たりの利得が増加し、分布増幅器全体の利得が上昇する。したがって、広い周波数帯域において高利得が得られる差動型の分布増幅器が得られる。

【図面の簡単な説明】

【図 1】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の

50

構成の第 1 の例を示す回路図である。

【図 2】図 1 に示す第 1 の構成のダーリントン増幅器と、従来の単純なソース接地 F E T よりなる増幅器とについて、周波数に対する M A G の関係を示す特性図である。

【図 3】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 2 の例を示す回路図である。

【図 4】図 3 に示す第 2 の構成のダーリントン増幅器と、従来の単純なソース接地 F E T よりなる増幅器とについて、周波数に対する M A G の関係を示す特性図である。

【図 5】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 3 の例を示す回路図である。

【図 6】図 5 に示す第 3 の構成のダーリントン増幅器と、従来の単純なソース接地 F E T よりなる増幅器とについて、周波数に対する M A G の関係を示す特性図である。 10

【図 7】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 4 の例を示す回路図である。

【図 8】図 7 に示す第 4 の構成のダーリントン増幅器と、従来の単純なソース接地 F E T よりなる増幅器とについて、周波数に対する M A G の関係を示す特性図である。

【図 9】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 5 の例を示す回路図である。

【図 10】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 6 の例を示す回路図である。

【図 11】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 7 の例を示す回路図である。 20

【図 12】図 11 に示す第 7 の構成のダーリントン増幅器と、従来の単純なソース接地 F E T よりなる増幅器とについて、周波数に対する M A G の関係を示す特性図である。

【図 13】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 8 の例を示す回路図である。

【図 14】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 9 の例を示す回路図である。

【図 15】本発明の実施の形態にかかる差動型分布増幅器に用いられる差動型増幅器素子の構成の第 10 の例を示す回路図である。

【図 16】本発明の実施の形態にかかる差動型分布増幅器の構成を示す回路図である。 30

【図 17】ダーリントン増幅器を用いた分布増幅器（実施例）と、カスコード増幅器を用いた分布増幅器（従来例）とで、同じ利得での帯域を比較したシミュレーション結果を示す図である。

【図 18】ダーリントン増幅器を用いた分布増幅器（実施例）と、カスコード増幅器を用いた分布増幅器（従来例）とで、同じ帯域での利得を比較したシミュレーション結果を示す図である。

【図 19】従来の差動型分布増幅器の構成を示す回路図である。

【図 20】従来の差動型分布増幅器と集中定数型増幅器とを組み合わせた増幅器を示す図である。

【符号の説明】 40

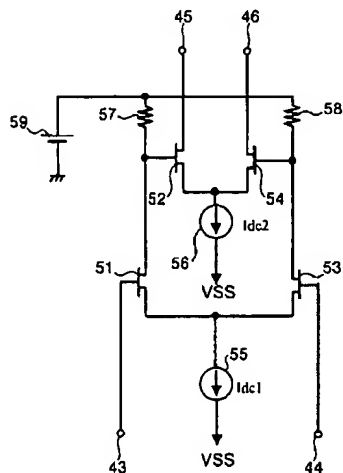
- 1 第 1 の入力側伝送線路（入力側（+）伝送線路）
- 2 第 2 の入力側伝送線路（入力側（-）伝送線路）
- 3 第 1 の出力側伝送線路（出力側（+）伝送線路）
- 4 第 2 の出力側伝送線路（出力側（-）伝送線路）
- 5 1 第 1 の初段トランジスタ（第 1 の初段ソース接地 M O S F E T）
- 5 2 第 1 の後段トランジスタ（第 1 の後段ソース接地 M O S F E T）
- 5 3 第 2 の初段トランジスタ（第 2 の初段ソース接地 M O S F E T）
- 5 4 第 2 の後段トランジスタ（第 2 の後段ソース接地 M O S F E T）
- 5 7, 5 8 負荷抵抗
- 6 0 第 1 のインダクタ 50

- 6 1 第 2 のインダクタ
- 6 2 第 3 のインダクタ
- 6 3 第 4 のインダクタ
- 6 4 第 5 のトランジスタ (第 1 のゲート接地 MOS F E T)
- 6 5 第 6 のトランジスタ (第 2 のゲート接地 MOS F E T)
- 6 8 , 6 9 デュアルゲートトランジスタ
- 7 0 , 7 1 コンデンサ
- 7 2 第 7 のトランジスタ (第 1 のドレイン接地 MOS F E T)
- 7 3 第 8 のトランジスタ (第 2 のドレイン接地 MOS F E T)
- 7 8 第 9 のトランジスタ (第 3 のゲート接地 MOS F E T)
- 7 9 第 1 0 のトランジスタ (第 4 のゲート接地 MOS F E T)

10

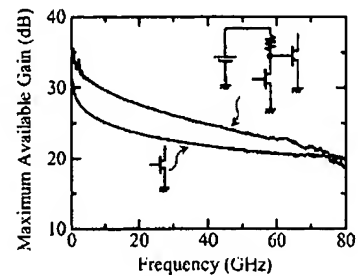
【 図 1 】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第 1 の例を示す回路図



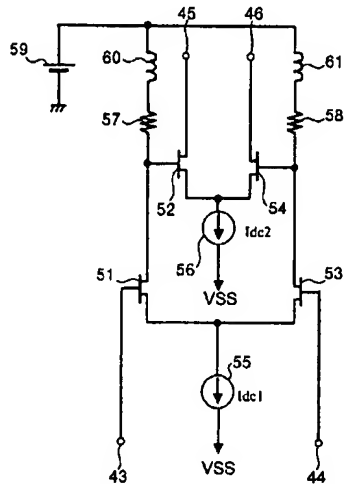
【 図 2 】

図 1 に示す第 1 の構成のダークリントン増幅器と、
従来の単純なソース接地 F E T よりなる増幅器とについて、
周波数に対する M A G の関係を示す特性図



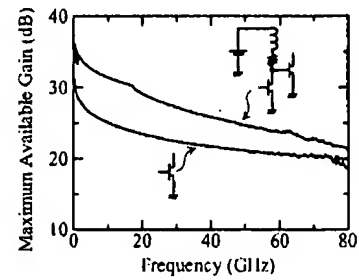
【図 3】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第2の例を示す回路図



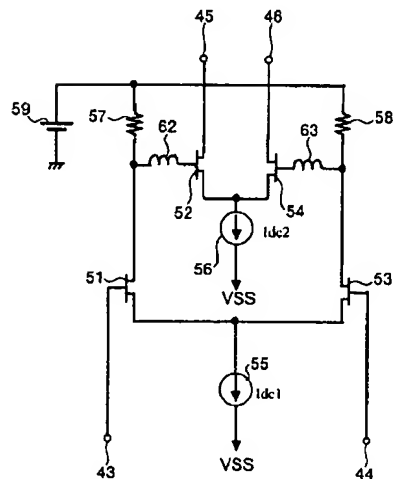
【図 4】

図3に示す第2の構成のダーリントン増幅器と、
従来の単純なソース接地FETよりなる増幅器とについて、
周波数に対するMAGの関係を示す特性図



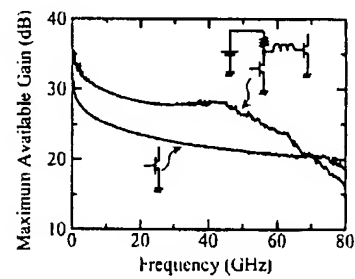
【図 5】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第3の例を示す回路図



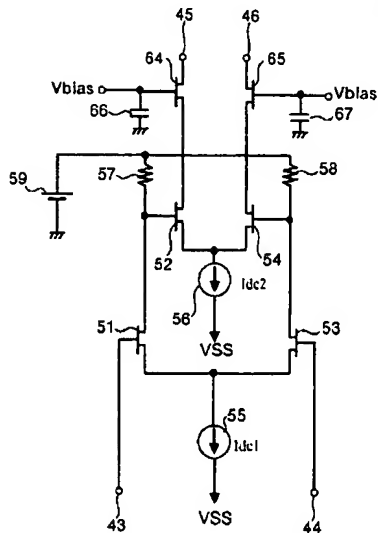
【図 6】

図5に示す第3の構成のダーリントン増幅器と、
従来の単純なソース接地FETよりなる増幅器とについて、
周波数に対するMAGの関係を示す特性図



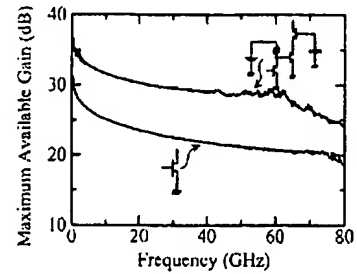
【図 7】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第4の例を示す回路図



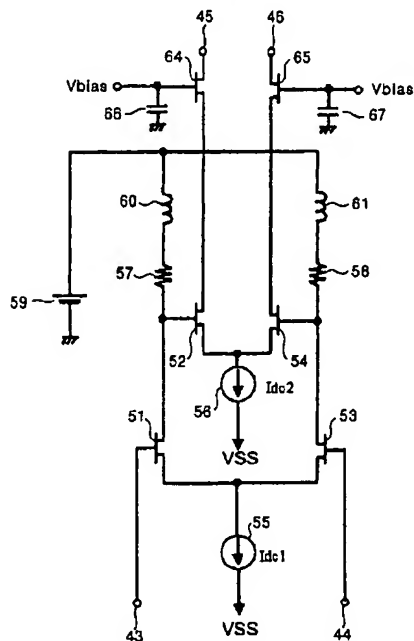
【図 8】

図7に示す第4の構成のダーリントン増幅器と、
従来の単純なソース接地FETよりなる増幅器とについて、
周波数に対するMAGの関係を示す特性図



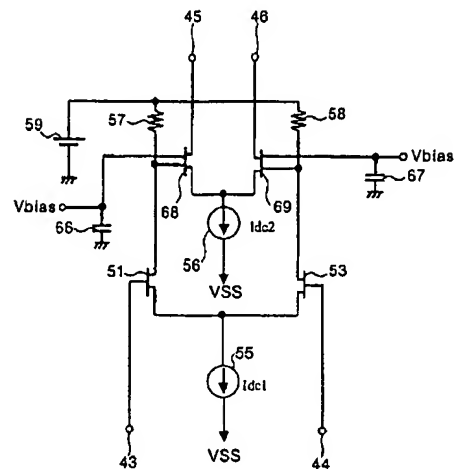
【図 9】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第5の例を示す回路図



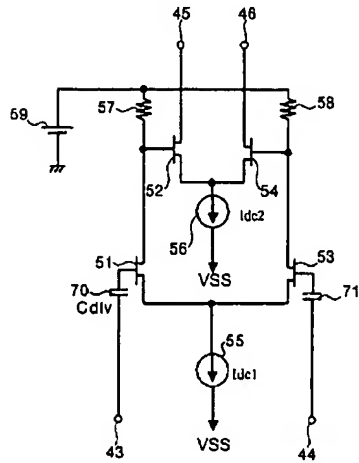
【図 10】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第6の例を示す回路図



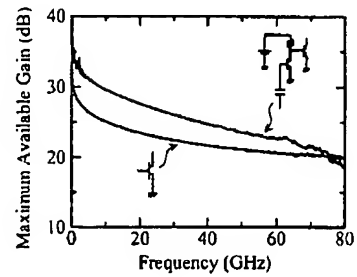
【図 1 1】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第7の例を示す回路図



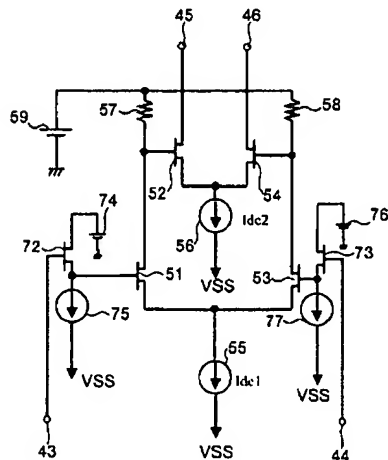
【図 1 2】

図 1 1 に示す第 7 の構成のダーリントン増幅器と、
従来の単純なソース接地 FET よりなる増幅器とについて、
周波数に対する MAG の関係を示す特性図



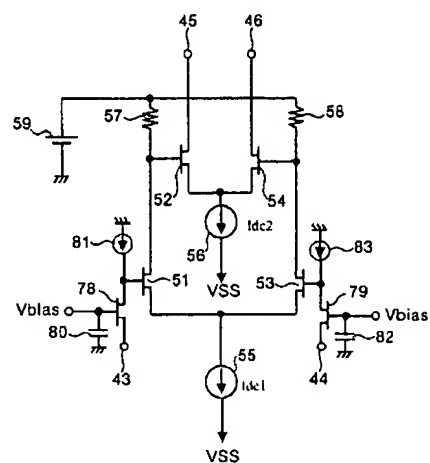
【図 1 3】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第 8 の例を示す回路図



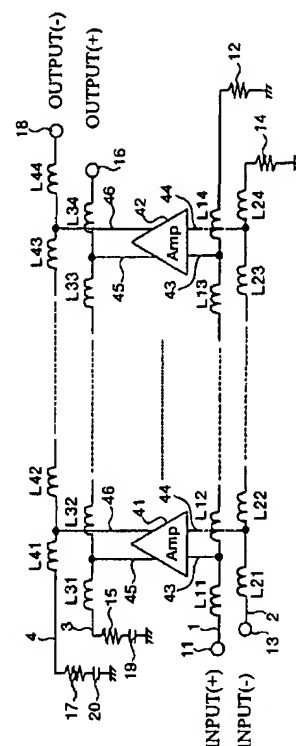
【図 1 4】

本発明の実施の形態にかかる差動型分布増幅器に用いられる
差動型増幅器素子の構成の第 9 の例を示す回路図



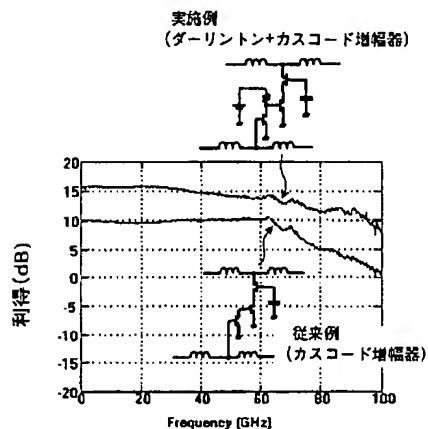
【图 16】

本発明の実施の形態にかかる差動型分布増幅器の構成を示す回路図

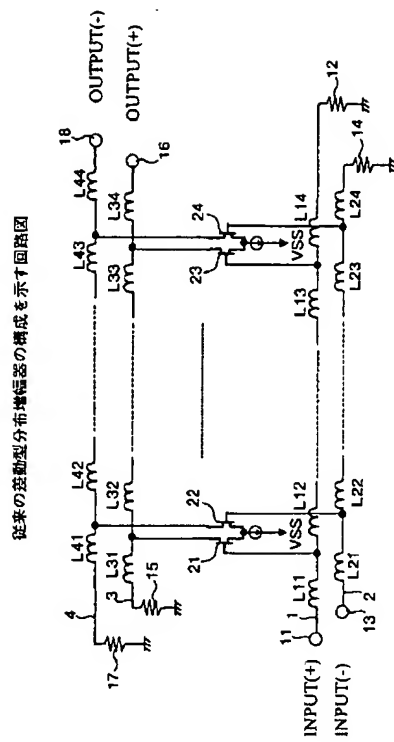


【图 18】

ダーリントン増幅器を用いた分布増幅器（実施例）と、カスコード増幅器を用いた分布増幅器（従来例）とで、同じ帯域での利得を比較したシミュレーション結果を示す図

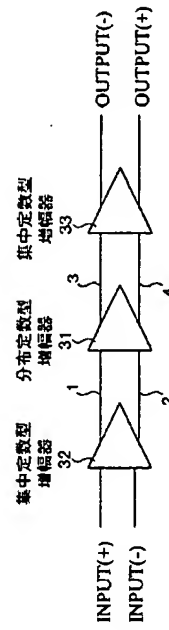


【図 19】



【図 20】

従来の差動型分布増幅器と集中定数型増幅器とを組み合わせた増幅器を示す図



フロントページの続き

F ターム(参考) 5J067 AA01 AA04 AA12 AA35 CA35 CA62 FA20 HA02 HA10 HA13
HA25 HA29 HA33 KA02 KA05 MA06 MA17 MA21 SA13 TA01
TA03
5J500 AA04 AA12 AA35 AC35 AC62 AF20 AH02 AH10 AH13 AH25
AH29 AH33 AK02 AK05 AM04 AM06 AM17 AM21 AS13 AT01
AT03 DN22 DN23